

01304734

DRY ETCHING METHOD

PUB. NO.: 59 -016334 [JP 59016334 A]
PUBLISHED: January 27, 1984 (19840127)
INVENTOR(s): TSUKURA TAKASHI
APPLICANT(s): MATSUSHITA ELECTRONICS CORP [000584] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 57-126419 [JP 82126419]
FILED: July 19, 1982 (19820719)
INTL CLASS: [3] H01L-021/302
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R004 (PLASMA)
JOURNAL: Section: E, Section No. 243, Vol. 08, No. 99, Pg. 45, May 10, 1984 (19840510)

ABSTRACT

PURPOSE: To enable to simplify the process and improve the yield by a method wherein an aperture of depth reaching the first insulation film is selectively formed by anisotropic etching with a mask material as the mask, and next the over-etching of the remant of the first insulation film and the second insulation film is performed by isotropic etching.

CONSTITUTION: A silicate glass film 8 is formed on a Si substrate 1 as a layer insulation film. Successively, a phosphorus silicate glass film (PSG) 9 which contains phosphorus at high density is formed. A photo resist film 10 is formed thereon as an etching mask by photolithography process. With the photo resist film 10 as the mask, the formation of a contact hole is performed by parallel flat type gas plasma. First, anisotropic etching wherein physical etching is the main body is performed under conditions of low pressure and high power. The etching is stopped at the point of just etched state whereby the Si substrate 1 appears, and next, using CF₄ (sub 4) gas plasma, isotropic etching wherein chemical etching is the main body is performed by a parallel flat type or cylindrical dry etching device under conditions of high pressure and low power.

S1 0 PN-JP 82126419
PS AN-JP 82126419
S2 1 AN-JP 82126419
?T 2/5/1

2/5/1
DIALOG(R)File 352:DERVENT WPI
(c)1998 Derwent Info Ltd. All rts. reserv.

003913892

WPI Acc No: 84-058936/198410

Insulating-film dry etching method - suitable for forming contact hole
for wiring in semiconductor device, using pore density plasma etching.
NoAbstract Dwg 1-3/3

Patent Assignee: MATSUSHITA ELECTRONICS CORP (MATE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 59016334 A	19840127	JP 82126419 A	19820719				198410 B

Priority Applications (No Type Date): JP 82126419 A 19820719

Patent Details:

Patent	Kind	Jan Pg	Filing Notes	Application	Patent
JP 59016334 A		6			

Title Terms: INSULATE; FILM; DRY; ETCH; METHOD; SUIT; FORMING; CONTACT;
HOLE; WIRE; SEMICONDUCTOR; DEVICE; PORE; DENSITY; PLASMA; ETCH;
NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/30

File Segment: CPI: EPI

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭59-16334

⑯ Int. Cl.³
H 01 L 21/302

識別記号

庁内整理番号
8223-5F

⑯ 公開 昭和59年(1984)1月27日

発明の数 1
審査請求 未請求

(全 3 頁)

⑰ ドライエッティング方法

⑯ 特 願 昭57-126419

⑯ 出 願 昭57(1982)7月19日

⑯ 発明者 津倉敬

門真市大字門真1006番地松下
電器産業株式会社内

⑯ 出 願 人 松下電子工業株式会社

門真市大字門真1006番地

⑯ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

ドライエッティング方法

2、特許請求の範囲

(1) 半導体基板表面に第1の絶縁膜および不純物を含有する第2の絶縁膜を設けた後、マスク材をマスクにして異方性エッチで、前記第1の絶縁膜に達する深さの開口を選択的に形成し、ついで、等方性エッティングで前記第1の絶縁膜の残部および前記第2の絶縁膜のオーバエッチを行うことを特徴とするドライエッティング方法。

(2) 第1の絶縁膜が酸化シリコン膜、第2の絶縁膜がリンを含む硅酸ガラス膜であることを特徴とする特許請求の範囲第1項に記載のドライエッティング方法。

(3) 異方性エッティングが低ガス圧力、高電力密度で行われる反応性スパッタエッティングあるいはイオンビームエッティングであり、等方性エッティングが高ガス圧力、低電力密度で行われる円筒型あるいは平行平板型プラズマエッティングであることを

特徴とする特許請求の範囲第1項に記載のドライエッティング方法。

3、発明の詳細な説明

本発明はたとえば、半導体装置の電極配線用コンタクトホール形成に好適な絶縁膜のドライエッティング方法に関するものである。

半導体装置におけるコンタクトホール形成は加工寸法的に最も最も微細化のむずかしい部分である。そのため微細寸法のコンタクトホールの形成には近年平行平板のドライエッティング装置を用いてサイドエッチの少ないスパッタエッチ、反応性スパッタエッチ等のガスプラズマによる異方性エッティングが実用化されている。

第1図は従来の二層ポリシリコンゲートダイナミックRAMメモリセルの断面図で、1はシリコン基板、2は選択酸化膜、3、4は多結晶シリコンゲート層、5は二酸化シリコン膜、6はアルミニウムの電極配線膜、7はコンタクトホールである。さて、ガスプラズマによる異方性エッティングによってコンタクトホール7を形成する場合は第

1 図ホールエッジが急峻でアルミニウムの電極配線 6 の断線を生じ易い。また、ガスプラズマによる異方性エッティングでは反応ガス生成物のポリマー形成によりコンタクトホール 7 のシリコン基板 1 面がボトムで汚染され、しばしばコンタクト抵抗の上昇、コントラクト不良が起こる。さらに、コンタクトホールの等方性エッティングには高電力ガスプラズマを用いるた ラディエーションダメージ等のデバイス特性への悪影響が問題となるなどの欠点があった。

本発明はこのような従来のガスプラズマによるコンタクトホール形成の欠点を解消し、工程の簡略化、半導体装置歩留りの向上を可能にせしめるプラズマエッティング方法を提供することを目的とするものである。

以下本発明の実施例を説明する。

(実施例 1)

第 2 図に示すようにシリコン基板 1 の上に層間絶縁膜としてまず熱酸化シリコン膜あるいはリンをドープしない硅酸ガラス膜 8 を形成する。続い

り階段状のコンタクトホールの形成が可能となる。またオーバーエッチにおいてポリマー形成の少ない C/F 比の小さな CF_4 ガスを用いるため、コンタクトホール形成時のポリマーによるコンタクト抵抗の上昇を防ぐことができるとともに、低パワー処理であるからラジエーションダメージもほとんど生じない。なお、前記の異方性エッティングの終端は、ジャストエッチ状態に到らずとも、その直前の前記第 1 の絶縁膜内に留め、残部は次の等方性エッティングで除くように条件設定することも可能である。

(実施例 2)

第 3 図においてシリコン基板 1 上に硅酸ガラス膜 8 を形成し、次にリンの濃度分布が膜 8 との界面から速ざかるに従ってリンのドープ量が多くなる PSG 膜 11 を周知の減圧 CVD 法により形成し、その上にホトリソグラフィ工程によりホトレジストマスク 10 を形成する。この場合のエッティングも実施例 1 と同様な方法で平行平板ガスプラズマを用いて、異方性エッティングをジャストエ

ッチ状態まで行い、オーバーエッチを CF_4 ガスによる等方性エッティングで行う。この等方性エッチによりリンの濃度分布に応じてエッティング速度が大きいので、PSG 膜 11 はティバーのあるコンタクトホールの形成が可能となる。

本発明は以上の説明から明らかな如く、コンタクトホールを 2 種類の絶縁膜のエッティング速度の差および、異方性エッティングと等方性エッティングとの両条件を用いて 2 段構造あるいはティバー構造とすることができるので、コンタクトホールの段部による配線膜の断線の恐れがなくなると同時に、微細寸法のコンタクト抵抗の低下及びラディエーションダメージのデバイス特性への影響の軽減を行い、歩留りの低下という問題を解決している。

4、図面の簡単な説明

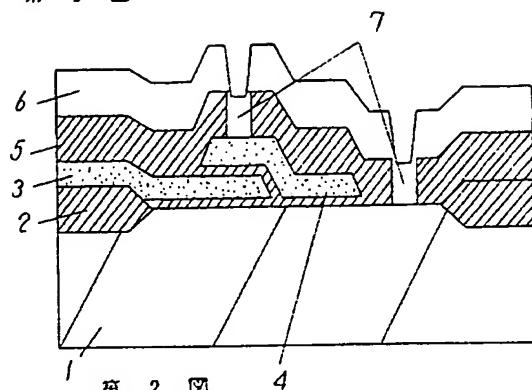
第 1 図は従来の 2 層ポリシリコンゲートダイナミック RAM メモリーセルの構造断面図、第 2 図及び第 3 図は本発明の 2 層絶縁膜構造に形成したコンタクトホールの概略の形状を示す構造断面図である。

8 硅酸ガラス膜、9, 11 PSG

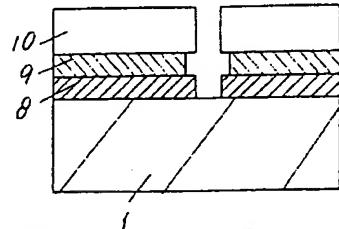
膜、10 ホトレジストマスク。

代理人の氏名 弁理士 中尾敏男 ほか1名

第1図



第2図



第3図

